

- 19. Japan Patent Office (JP)
 - 12. Laid-open Patent Application Gazette (A)
 - 11. Laid-open Patent Application No. Sho 56-61151
 - 43. Disclosure Date: May 26, 1981
-

- | | | | |
|-----|-----------------------|---------|--------------------|
| 51. | Int. Cl. ³ | ID Code | Agency Control No. |
| | H 01 L 23/32 | | 6851-5F |
| | 23/02 | | 7738-5F |
| | 23/12 | | 7357-5F |

Number of Inventions: 1
 Examination Not Requested Yet
 (Total 3 pages)

- 54. Invention Title: Package for Semiconductor Integrated Circuit
 - 21. Application No. Sho 54-137148
 - 22. Application Date: October 23, 1979
 - 72. Inventor: Ryuichi Matsuo, Itami Plant, Mitsubishi Electric Corporation, 4-1 Mizuhara, Itami City
 - 71. Applicant: Mitsubishi Electric Corporation, 2-2-3 Marunouchi, Chiyoda-ku, Tokyo
 - 74. Representative: Nobuichi Kuzuno, Patent Agent, and one other
-

SPECIFICATION

- 1. TITLE OF INVENTION
 Package for Semiconductor Integrated Circuit

- 2. CLAIMS

(1) A package for a semiconductor integrated circuit, comprising a package main body to house an integrated circuit for a semiconductor memory, lead wires extending from one main face of this package main body, and lead wire insertion holes provided on the other main face of said package main body for insertion of the lead wires of another package of the same type; when the lead wires of another package of the same type are inserted in said lead wire insertion holes, corresponding pairs of lead wires are respectively electrically connected, except for the chip select input part.

- 3. DETAILED DESCRIPTION OF THE INVENTION

The present invention pertains to a package for a semiconductor integrated circuit that easily expands the memory capacity of a semiconductor memory integrated circuit.

In the following, "semiconductor memory integrated circuit" is abbreviated as "memory IC" and "package for semiconductor integrated circuits" is abbreviated as "IC package."

FIG. 1 is an oblique view showing two memory ICs packaged in the same conventional type of package. In FIG. 1, (1) is the IC package that packages the memory

IC, (2) is a lead wire extending from the main body of the IC package (1), and (A) and (B) are the same type of memory ICs housed in the same type of IC package (1) respectively.

FIG. 2 is a plan view for explaining a method of expanding the memory capacity of the memory ICs shown in FIG. 1. In FIG. 2, (3) is an address input terminal, (4) is a data input terminal, (5) is a power supply terminal, (6) is a ground (GND) terminal, (7) is a chip select control terminal, and (8) is a non-connection (NC) terminal.

When expanding the memory capacity of memory ICs housed in a conventional IC package, two or more of the same type of memory IC are lined up as shown in FIG. 1 and their lead wires (2) are linked as shown in FIG. 2. That is, terminal pairs of the same address input terminal (3) are linked, terminal pairs of the same data terminal (4) are linked, pairs of power supply terminals (5) are linked, and pairs of GND terminals (6) are linked. In this condition, applying the inputs "1" and "0" to the chip select control terminal (7) obtains the output of one memory IC from the data terminal (4). For example, if the input of the chip select control terminal (7) applies "1" to memory IC (A) and "0" to memory IC (B), the data in memory IC (B) corresponding to the address selected by the address input terminal (3) is output to the data terminal (4). That is, memory capacity can be multiplied by the input of the chip select control terminal (7). This operation is the same even if the number of memory ICs increases.

The conventional memory capacity expansion method is like the one above, so when a system needs a larger capacity, the area occupied by the memory ICs assembled on the board to constitute the system widens, and it is necessary to enlarge the board itself. Wiring links for the memory IC pairs are also required, which takes some effort. Also, if wires are linked by soldering or the like, uncertainties arise with regard to reliability. The aforesaid sort of defects are incurred.

The present invention was created in light of the aforesaid points. It provides lead wire insertion holes, in the face on the side opposite the face where lead wires extend, for insertion of lead wires from another package of the same type. Its object is to provide an IC package whereby a plurality of packages can be connected without needing to wire pairs of terminals having the same function of the respective housed memory ICs, and which makes it easy to expand memory capacity.

Below, the present invention shall be explained based on an embodiment.

FIG. 3 is an oblique view of one embodiment of an IC package in accordance with the present invention. In FIG. 3, (1) is a package housing a memory IC, (2) is a lead wire extending from the main body of the package (1), (9) is a lead wire insertion hole provided in the face on the side opposite the face where lead wires extend from the main body of the package (1) for insertion of a lead wire (2) from another package (1) of the same type, and (10) is a metal chip select input part formed in the main body of the package (1).

FIG. 4 is an oblique view for explaining a method of expanding the memory capacity of memory ICs packaged in this embodiment's IC package. The parts corresponding to the two IC packages are labeled a and b respectively.

When one memory IC housed in the embodiment's IC package is used, the package (1)'s lead wires (2) are inserted in a socket or board as in prior art.

Next, when the memory capacity is expanded, as shown in FIG. 4, package (1b)'s corresponding lead wire (2b) is inserted in lead wire insertion hole (9a) of package (1a),

whose lead wire (2a) is inserted in a socket or board. In this state, lead wires (2a) and lead wires (2b) are all connected in the corresponding pairs, except for the chip select input parts (10a) and (10b). Data output from either of the memory ICs is obtained by applying input of "1" and "0" to chip select input parts (10a) and (10b).

Therefore memory capacity can easily be expanded without the need of wiring and without the need of enlarging the board that constitutes the system.

The aforesaid explanation described a case in which memory ICs housed in the embodiment's IC packages were stacked in two levels, but it is also possible to stack them in three or more levels.

Also, the shape of the IC package is not limited to that shown in FIG. 3. Furthermore, the materials used for similar packages can be used as materials for the package main body.

In addition, the materials, shape, and location of the chip select input part may be otherwise if they are suitable therefor.

As described in detail above, an IC package in accordance with the present invention has lead wires extending from one main face of the package main body and lead wire insertion holes provided on the other main face for insertion of the lead wires of the same type of package, so by inserting the lead wires of the same type of package housing another memory IC into the lead wire insertion holes of one package housing a memory IC, corresponding pairs of lead wires are electrically connected, except for the chip select input parts, so memory IC memory capacity can easily be expanded without the need of wiring and without expanding the area occupied on the board, etc. for the system constitution.

4. BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is an oblique view showing two memory ICs packaged in the same conventional type of package. FIG. 2 is a plan view for explaining a method of expanding the memory capacity of memory ICs packaged in conventional packages. FIG. 3 is an oblique view of one embodiment of an IC package in accordance with the present invention. FIG. 4 is an oblique view for explaining a method of expanding the memory capacity of memory ICs packaged in this embodiment's IC package.

In the drawings, (1), (1a), and (1b) are IC packages, (2), (2a), and (2b) are lead wires, (9), (9a), and (9b) are lead wire insertion holes, and (10), (10a), and (10b) are chip select input parts.

Furthermore, identical codes in the drawings indicate parts that are identical or equivalent.

Representative: Nobuichi Kuzuno (and one other)

FIG. 1

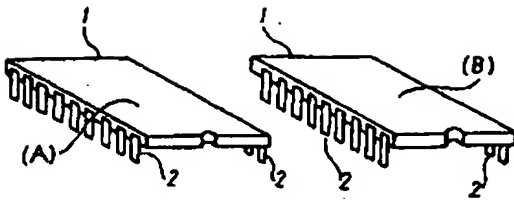


FIG. 2

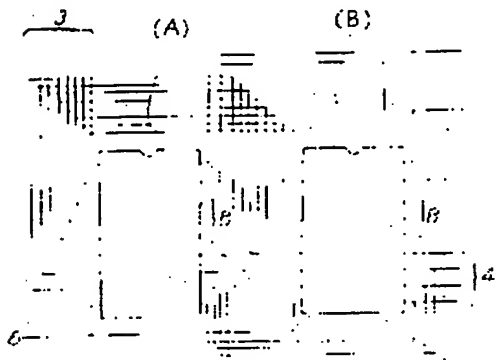


FIG. 3

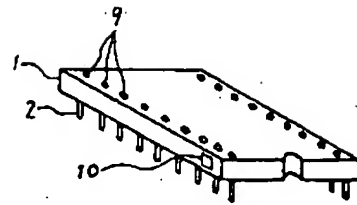
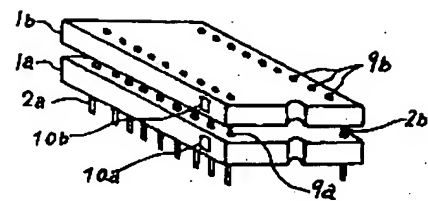


FIG. 4



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-061151
 (43)Date of publication of application : 26. 05. 1981

(51)Int. CI.

H01L 23/32
 H01L 23/02
 H01L 23/12

(21)Application number : 54-137148

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23. 10. 1979

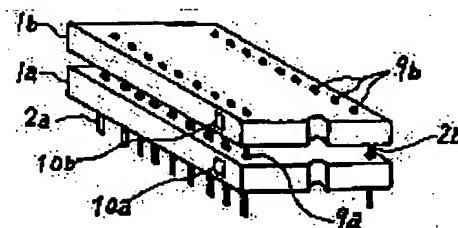
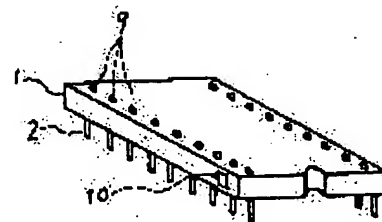
(72)Inventor : MATSUO RYUICHI

(54) PACKAGE SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To make it easier to enlarge memory capacity by a method wherein the plural number of lead wires are provided in such a way that they are protruded from one side of a package for use as a memory IC while holes for inserting lead wires are made in the package from the other side of it in the positions opposite to the lead wires so that one package can be put on another.

CONSTITUTION: The plural number of lead wires 2 are planted in such a way that they are protruded from one side of a package 1 to be mounted on a chassis as a memory IC, and a chip selecting metal input portion 10 is formed on one part of the side face of the package 1. Next, holes 9 for inserting lead wires are made in the package 1 from the other side in the positions opposite to the lead wires 2 to make it possible to insert the lead wires of another package. By so doing, it becomes the only thing to do when increasing memory capacity to place the package 1 on another mounted on the chassis using the combination of the holes 9 and lead wires 2. Thus, terminals with the same functions can be connected together without using wiring.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—61151

⑤ Int. Cl.³

H 01 L 23/32
23/02
23/12

識別記号

庁内整理番号

6851—5F
7738—5F
7357—5F

⑬ 公開 昭和56年(1981)5月26日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体集積回路用パッケージ

機株式会社北伊丹製作所内

① 特 願 昭54—137148

② 出 願 昭54(1979)10月23日

⑦ 発 明 者 松尾龍一

伊丹市瑞原4丁目1番地三菱電

⑩ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑭ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体集積回路用パッケージ

2. 特許請求の範囲

(1) 半導体メモリ用集積回路の外装となるパッケージ本体、このパッケージ本体の一方の主面から突出しているリード線、および上記パッケージ本体の他方の主面に設けられ他の同一種類のパッケージのリード線が差し込まれるリード線そう入孔を備え、上記リード線そう入孔に他の同一種類のパッケージのリード線を差し込んだときチップセレクト入力部以外は相対応するリード線がそれぞれ電氣的に接続された状態になることを特徴とする半導体集積回路用パッケージ。

3. 発明の詳細な説明

この発明は半導体メモリ用集積回路のメモリ容量の拡張が容易である半導体集積回路用パッケージに関するものである。

以下、「半導体メモリ用集積回路」を「メモリIC」と略称し、「半導体集積回路用パッケージ」

を「ICパッケージ」と略称する。

第1図は従来の同一種類のICパッケージを外装とする2個のメモリICを示す斜視図である。第1図において、(1)はメモリICの外装となるICパッケージ、(2)はICパッケージ(1)の本体から突出しているリード線、(A)および(B)はそれぞれ同一種類のICパッケージ(1)を外装とする同一種類のメモリICである。

第2図は第1図に示すようなメモリICのメモリ容量を拡張する方法を説明するための平面図である。第2図において、(3)はアドレス入力端子、(4)はデータ端子、(5)は電源端子、(6)は接地(GND)端子、(7)はチップセレクトコントロール端子、(8)は無接続(NC)端子である。

従来のICパッケージを外装とするメモリICのメモリ容量を拡張するには、第1図に示すような同一種類のメモリICを二つ以上並べて、そのリード線(2)を第2図に示すように結線していた。すなわち、アドレス入力端子(3)の同一端子同志、データ端子(4)の同一端子同志、電源端子(5)同志、GND

端子(6)同志を結線する。この状態で、チップセレクトコントロール端子(7)に“1”、“0”の入力を加えて一つのメモリICの出力をデータ端子(4)から得ることができる。たとえば、チップセレクトコントロール端子(7)の入力をメモリIC(4)には“1”、メモリIC(5)には“0”を加えると、アドレス入力端子(3)で選択されたアドレスに対応するメモリIC(5)のデータがデータ端子(4)に出力される。すなわち、チップセレクトコントロール端子(7)の入力によつてメモリ容量が倍增される。この動作は、メモリICの数がふえても同様のことが言える。

従来のメモリ容量拡張の方式は、以上のものであるので、大容量を必要とするシステムの場合、システム構成用の基板上に組み込まれるメモリICの占有面積が広くなり、基板自体を大きくすることが必要である。また、メモリIC同志の結線も必要であり手間がかかる。また、はんだ付けなどで結線した場合、信頼性の面からも不安がある。上記のような各種の欠点があつた。

この発明は、上記の点に鑑みてなされたもので

(3)

るための斜視図である。二つのICパッケージの相対応する部分にはそれぞれaおよびbを付して区別している。

実施例のICパッケージを外装とするメモリICを一つ使用する場合は、従来どおり、パッケージ(1)のリード線(2)をソケットまたは基板に差し込んで使用する。

次に、メモリ容量を拡張する場合は、第4図に示すように、ソケットまたは基板にリード線(2a)が差し込まれるパッケージ(1a)のリード線そう入孔(9a)にパッケージ(1b)の相対応するリード線(2b)を差し込む。この状態で、リード線(2a)とリード線(2b)とは、チップセレクト入力部(10a)、(10b)を除いて、相対応するリード線(2a)および(2b)がすべて接続される。チップセレクト入力部(10a)、(10b)に“1”、“0”の入力を加えることにより、どちらかのメモリICからのデータ出力が得られる。

従つて、配線を必要とせず、またシステム構成用の基板を大きくする必要もなく、メモリ容量を容易に拡張することができる。

(5)

あり、リード線が突出している面と反対側の面に他の同一種類のパッケージのリード線が差し込まれるリード線そう入孔を設け、複数個のパッケージをそれぞれの外装とするメモリICの同一機能の端子同志を配線を必要とせずに接続することができ、メモリ容量が拡張が容易に行えるようにしたICパッケージを提供することを目的としたものである。

以下、実施例に基づいてこの発明を説明する。

第3図はこの発明によるICパッケージの一実施例の斜視図である。第3図において、(1)はメモリICの外装となるパッケージ、(2)はパッケージ(1)の本体から突出しているリード線、(9)はパッケージ(1)の本体のリード線が突出している面とは反対側の面に設けられ他の同一種類のパッケージ(1)のリード線(2)が差し込まれるリード線そう入孔、(10)はパッケージ(1)の本体に形成された金属製のチップセレクト入力部である。

第4図は実施例のICパッケージを外装とするメモリICのメモリ容量を拡張する方法を説明す

(4)

上記の説明においては、実施例のICパッケージを外装とするメモリICを2段に重ねる場合について述べたが、3段以上に重ねることも可能である。

また、ICパッケージの形状も第3図に示したものに限定されるわけではない。なお、パッケージ本体の材料も各種のパッケージ用の材料の使用が可能である。

さらに、チップセレクト入力部の材質、形状、位置もこれに適するものなら他のものでもよい。

以上詳述したように、この発明によるICパッケージはパッケージ本体の一方の主面から突出しているリード線と他方の主面に設けられ同一種類のパッケージのリード線が差し込まれるリード線そう入孔とを有しているので、メモリICの外装である一つのパッケージのリード線そう入孔に他のメモリICの外装である同種類のパッケージのリード線を差し込むことによつて、チップセレクト入力部以外は相対応するリード線がそれぞれ電気的に接続されるから、メモリICのメモリ容量

(6)

を、配線を必要とせず、またシステム構成用の基板などにおける占有面積を増大させることなく、容易に拡張することができる。

4. 図面の簡単な説明

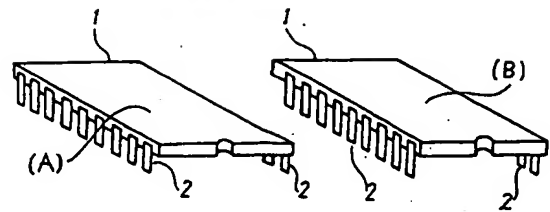
第1図は従来の同一種類のパッケージを外装とする2個のメモリICを示す斜視図、第2図は従来のパッケージを外装とするメモリICのメモリ容量を拡張する方法を説明するための平面図、第3図はこの発明によるICパッケージの一実施例の斜視図、第4図は実施例のICパッケージを外装とするメモリICのメモリ容量を拡張する方法を説明するための斜視図である。

図において、(1)、(1a)、(1b)はICパッケージ、(2)、(2a)、(2b)はリード線、(9)、(9a)、(9b)はリード線そう入孔、(10)、(10a)、(10b)はチップセレクト入力部である。

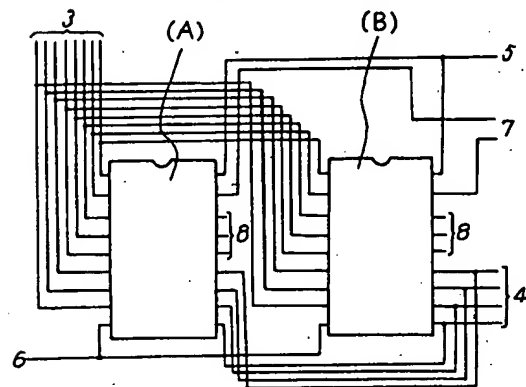
なお、図中同一符号はそれぞれ同一または相当部分を示す。

代理人 高野信一(外1名)

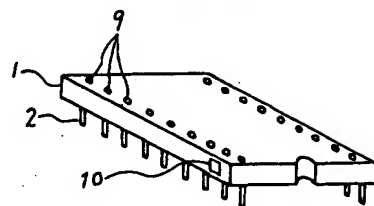
第1図



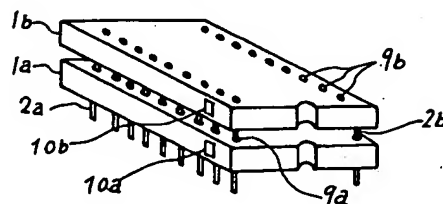
第2図



第3図



第4図



3/9/1

3404215

Basic Patent (No,Kind,Date): JP 56061151 A2 810526

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 56061151 A2 810526

PACKAGE SEMICONDUCTOR INTEGRATED CIRCUIT (English)

Patent Assignee: MITSUBISHI ELECTRIC CORP

Author (Inventor): MATSUO RIYUUCHI

Priority (No,Kind,Date): JP 79137148 A 791023

Applic (No,Kind,Date): JP 79137148 A 791023

IPC: * H01L-023/32; H01L-023/02; H01L-023/12

JAPIO Reference No: * 050125E000001

Language of Document: Japanese

Inpadoc/Fam.& Legal Stat (Dialog® File 345): (c) 2001 EPO. All rights reserved.

© 2001 The Dialog Corporation plc

Search History

Database Details

Format

Free

Number of Records

10

Set	Term Searched	Items	
S1	PN=JP 56061151	0	Display

Show Database Details for:

351: Derwent World Patents Index

Bluesheet

Rates

Fields

Formats

Sorts

Limits

Tags

© 2001 The Dialog Corporation plc